

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-124995

(43)公開日 平成10年(1998)5月15日

(51) Int.Cl.
G 11 B 20/10
20/18

識別記号
5 3 6
5 4 4

F I
G 11 B 20/10
20/18
A
5 3 6 A
5 4 4 A

審査請求 未請求 請求項の数9 O.L. (全10頁)

(21)出願番号

特願平8-279272

(22)出願日

平成8年(1996)10月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 井上 光司

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 藤堂 博文

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 重信 正大

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

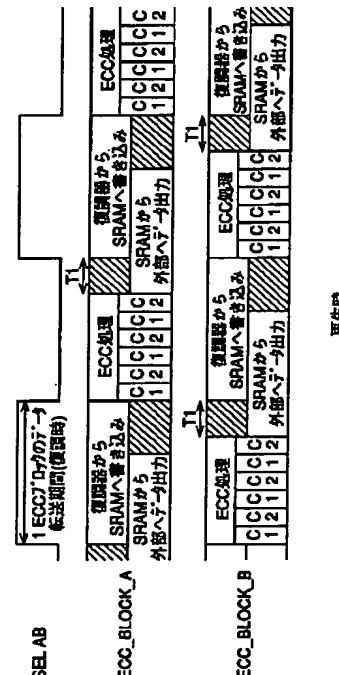
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 データアクセス制御装置および方法

(57)【要約】

【課題】 複数種類の処理で S R A M を効率的に共用す
る。

【解決手段】 再生時において、 S R A M が記憶する 2
つのE C C ブロック、 E C C ブロック A (E C C _ B L
O C K _ A) と E C C ブロック B (E C C _ B L O C K
_ B) のうち、復調器からの E C C ブロック A の書き込
みと、 E C C ブロック B の E C C 処理とを同時に開始
し、 E C C 処理が終了すると、 E C C ブロック B の外部
への出力を開始し、復調器からの E C C ブロック A の書
き込みが終了すると、 E C C 処理を開始するとともに、
復調器からの E C C ブロック B の書き込みを開始する。



【特許請求の範囲】

【請求項1】 データを記憶する記憶手段と、複数種類の処理に対応して、前記記憶手段にアクセスするための複数のアドレスを発生するアドレス発生手段と、前記アドレスを時分割で切り換えて前記記憶手段に供給するアドレス供給手段とを備え、前記記憶手段に対して、前記アドレス供給手段より時分割で供給されるアドレスに対するデータの読み出しおよび書き込みが行われ、前記アドレス発生手段は、前記複数種類の処理の所定のものによる前記記憶手段の所定のアドレスからのデータの読み出しが、前記複数種類の処理の他の所定のものによる前記記憶手段の前記アドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数の前記アドレスを発生することを特徴とするデータアクセス制御装置。

【請求項2】 前記複数種類の処理は、データを変調する変調処理と、データを復調する復調処理と、データの入出力を行う入出力処理と、C1パリティおよびC2パリティをデータに付加するECCエンコード処理と、C1パリティおよびC2パリティに基づいて、データの誤りの検出および訂正を行う誤り訂正処理であることを特徴とする請求項1に記載のデータアクセス制御装置。

【請求項3】 前記記憶手段との間で定レートでのデータのやりとりを行う前記変調処理および復調処理を、他の処理より優先して行い、空き時間に他の処理を行うことを特徴とする請求項2に記載のデータアクセス制御装置。

【請求項4】 前記変調処理および復調処理に対応して前記アドレス供給手段が発生するアドレスは、ECCブロックのマップに対応することを特徴とする請求項1に記載のデータアクセス制御装置。

【請求項5】 前記復調処理の後、前記記憶手段に書き込まれたデータに対して行われる前記誤り訂正処理は、C1パリティおよびC2パリティのそれぞれについて3回ずつ行われることを特徴とする請求項2に記載のデータアクセス制御装置。

【請求項6】 データを記憶する記憶手段と、複数種類の処理に対応して、前記記憶手段にアクセスするための複数のアドレスを発生するアドレス発生手段と、

前記アドレスを時分割で切り換えて前記記憶手段に供給するアドレス供給手段と、第1のクロック信号を発生する第1の発生手段と、前記第1のクロック信号に対して位相の異なる第2のクロック信号を発生する第2の発生手段とを備え、前記アドレス発生手段およびアドレス供給手段は、前記第1のクロック信号および前記第2のクロック信号に従って動作し、

前記記憶手段に対して、前記第1のクロック信号および前記第2のクロック信号の立ち上がりを基準として、データの入出力が行われることを特徴とするデータアクセス制御装置。

【請求項7】 データを記憶する記憶手段と、複数種類の処理に対応して、前記記憶手段にアクセスするための複数のアドレスを発生するアドレス発生手段と、

前記アドレスを時分割で切り換えて前記記憶手段に供給するアドレス供給手段と、

前記データに対してC1パリティおよびC2パリティを付加するパリティ付加手段とを備え、

前記記憶手段に対して、前記アドレス供給手段より時分割で供給されるアドレスに対するデータの読み出しおよび書き込みが行われ、

前記パリティ付加手段は、前記C2パリティを前記記憶手段上でのアドレスが分散するように配置し、

前記アドレス発生手段は、前記C1パリティおよびC2パリティをデータに付加するECCエンコード処理が行われる場合と、データを変調する変調処理若しくはデータを復調する復調処理が行われる場合において、異なるアドレスを発生することを特徴とするデータアクセス制御装置。

【請求項8】 前記アドレス発生手段は、前記C1パリティおよびC2パリティをデータに付加するECCエンコード処理、およびデータを訂正するECCデコード処理が行われる場合、前記C1パリティおよびC2パリティを最後にまとめてアクセスするためのアドレスを発生し、

30 データを変調する変調処理若しくはデータを復調する復調処理が行われる場合、ECCブロックのマップに対応して、データとC1パリティおよびC2パリティをアクセスするためのアドレスを発生することを特徴とする請求項7に記載のデータアクセス制御装置。

【請求項9】 所定の記憶装置に対してデータの読み出しおよび書き込みを行うデータアクセス制御方法において、

複数種類の処理の所定のものによる前記記憶装置の所定のアドレスからのデータの読み出しが、前記複数種類の処理の他の所定のものによる前記記憶装置の前記アドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生し、

前記複数種類のアドレスを前記記憶装置に対して時分割で供給することを特徴とするデータアクセス制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データアクセス制御装置および方法に関し、例えば、変復調処理や誤り訂正処理、あるいはデータ転送処理におけるSRAMへのアクセスを有効的に行うようにしたデータアクセス制御

装置および方法に関する。

【0002】

【従来の技術】ミニディスク(MD:mini disk)等の記録媒体に対して、データの記録または再生を行う場合、記録または再生の単位である1つのECC(error correcting code)ブロックに対して、1個のSRAM(static randomaccess memory)を用意し、なおかつ、変復調器の処理と並行してECCブロックをエンコードまたはデコードする必要があるため、2個以上のSRAMを設けることが考えられる。以下、説明の便宜上、2つのSRAMをそれぞれ第1のSRAM、第2のSRAMと呼ぶこととする。

【0003】例えば、記録時には、記録すべきデータを第1のSRAMに書き込み、ECCエンコーダが第1のSRAMに書き込まれたデータを読み出し、そのデータにC1、C2パリティを付加したもの(以下、ECCブロックという)を、第2のSRAMに記録する。それと並行して、第2のSRAMに記録されたECCブロックは、変調器によって読み出され、変調された後、MDに記録される。また、再生時には、MDより読み出され、復調器によって復調されたECCブロックが第2のSRAMに書き込まれる。それと並行して、ECCデコーダは、第2のSRAMに書き込まれたECCブロックを読み出し、誤り検出を行い、誤りを検出した場合、それを訂正し、訂正後のECCブロックを第1のSRAMに書き込む。

【0004】このように、SRAMが2つ設けられているため、変復調器による変復調処理と、ECCエンコーダによる符号化処理またはECCデコーダによるエラー訂正処理を並行して実行することができる。

【0005】

【発明が解決しようとする課題】しかしながら、SRAMが2つ設けられているため、バス線が多くなり、回路規模が大きくなる課題があった。また、外部入出力のためのアクセスに時間的なゆとりがないため、外部入出力を行うために、さらに外部アクセス用のバッファSRAMを用意するか、ECC訂正処理の回数を減らすか、あるいは、マスタクロックのレートを上げるしかなかつた。

【0006】本発明はこのような状況に鑑みてなされたものであり、変復調処理や誤り訂正処理に用いるSRAMを含む回路規模を縮小し、かつ、誤り訂正能力を向上させることができるようにするものである。

【0007】

【課題を解決するための手段】請求項1に記載のデータアクセス制御装置は、データを記憶する記憶手段と、複数種類の処理に対応して、記憶手段にアクセスするための複数のアドレスを発生するアドレス発生手段と、アドレスを時分割で切り換えて記憶手段に供給するアドレス供給手段とを備え、記憶手段に対して、アドレス供給手

段より時分割で供給されるアドレスに対するデータの読み出しおよび書き込みが行われ、アドレス発生手段は、複数種類の処理の所定のものによる記憶手段の所定のアドレスからのデータの読み出しが、複数種類の処理の他の所定のものによる記憶手段のアドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生することを特徴とする。

【0008】請求項6に記載のデータアクセス制御装置は、データを記憶する記憶手段と、複数種類の処理に対応して、記憶手段にアクセスするための複数のアドレスを発生するアドレス発生手段と、アドレスを時分割で切り換えて記憶手段に供給するアドレス供給手段と、第1のクロック信号を発生する第1の発生手段と、第1のクロック信号に対して位相の異なる第2のクロック信号を発生する第2の発生手段とを備え、アドレス発生手段およびアドレス供給手段は、第1のクロック信号および第2のクロック信号に従って動作し、記憶手段に対して、第1のクロック信号および第2のクロック信号の立ち上がりを基準として、データの入出力が行われることを特徴とする。

【0009】請求項7に記載のデータアクセス制御装置は、データを記憶する記憶手段と、複数種類の処理に対応して、記憶手段にアクセスするための複数のアドレスを発生するアドレス発生手段と、アドレスを時分割で切り換えて記憶手段に供給するアドレス供給手段と、データに対してC1パリティおよびC2パリティを付加するパリティ付加手段とを備え、記憶手段に対して、アドレス供給手段より時分割で供給されるアドレスに対するデータの読み出しおよび書き込みが行われ、パリティ付加手段は、C2パリティを記憶手段上でのアドレスが分散するように配置し、アドレス発生手段は、C1パリティおよびC2パリティをデータに付加するECCエンコード処理が行われる場合と、データを変調する変調処理若しくはデータを復調する復調処理が行われる場合において、異なるアドレスを発生することを特徴とする。

【0010】請求項9に記載のデータアクセス制御方法は、複数種類の処理の所定のものによる記憶装置の所定のアドレスからのデータの読み出しが、複数種類の処理の他の所定のものによる記憶装置のアドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生し、複数種類のアドレスを記憶装置に対して時分割で供給することを特徴とする。

【0011】請求項1に記載のデータアクセス制御装置においては、記憶手段が、データを記憶し、アドレス発生手段が、複数種類の処理に対応して、記憶手段にアクセスするための複数のアドレスを発生し、アドレス供給手段が、アドレスを時分割で切り換えて記憶手段に供給する。そして、記憶手段に対して、アドレス供給手段より時分割で供給されるアドレスに対するデータの読み出

しおよび書き込みを行い、アドレス発生手段は、複数種類の処理の所定のものによる記憶手段の所定のアドレスからのデータの読み出しが、複数種類の処理の他の所定のものによる記憶手段のアドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生する。

【0012】請求項6に記載のデータアクセス制御装置においては、記憶手段が、データを記憶し、アドレス発生手段が、複数種類の処理に対応して、記憶手段にアクセスするための複数のアドレスを発生し、アドレス供給手段が、アドレスを時分割で切り換えて記憶手段に供給し、第1の発生手段が、第1のクロック信号を発生し、第2の発生手段が、第1のクロック信号に対して位相の異なる第2のクロック信号を発生し、アドレス発生手段およびアドレス供給手段は、第1のクロック信号および第2のクロック信号に従って動作し、記憶手段に対して、第1のクロック信号および第2のクロック信号の立ち上がりを基準として、データの入出力が行われる。

【0013】請求項7に記載のデータアクセス制御装置においては、記憶手段が、データを記憶し、アドレス発生手段が、複数種類の処理に対応して、記憶手段にアクセスするための複数のアドレスを発生し、アドレス供給手段が、アドレスを時分割で切り換えて記憶手段に供給し、パリティ付加手段が、データに対してC1パリティおよびC2パリティを付加する。そして、記憶手段に対して、アドレス供給手段より時分割で供給されるアドレスに対するデータの読み出しおよび書き込みを行い、パリティ付加手段は、C2パリティを記憶手段上でのアドレスが分散するように配置し、アドレス発生手段は、C1パリティおよびC2パリティをデータに付加するECCエンコード処理が行われる場合と、データを変調する変調処理若しくはデータを復調する復調処理が行われる場合において、異なるアドレスを発生する。

【0014】請求項9に記載のデータアクセス制御方法においては、複数種類の処理の所定のものによる記憶装置の所定のアドレスからのデータの読み出しが、複数種類の処理の他の所定のものによる記憶装置のアドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生し、複数種類のアドレスを記憶装置に対して時分割で供給する。

【0015】

【発明の実施の形態】図1は、本発明のデータアクセス制御装置を適用したミニディスク記録再生装置の一実施の形態の構成例を示すブロック図である。光ピックアップ2は、レーザダイオードやフォトダイオード等からなり、再生時、レーザ光を光ディスク1に照射するとともに、レーザ光が光ディスク1上で反射された反射光を受光し、受光した光に対応する再生RF信号を出力するようになされている。復調器4Bは、光ピックアップ2より供給される再生RF信号を復調し、デジタルの信号

に変換した後、SRAM10(記憶手段)に供給するようになされている。

【0016】SRAM10の容量は、例えば1メガビット(Mbit)で、2ECCブロック分のデータを格納することができるようになされている。以下では、それぞれのECCブロックをECC-BLOCK-A、ECC-BLOCK-Bと呼ぶことにする。復調器4BからSRAM10へのデータの書き込みは、ECCブロック単位で、ECC-BLOCK-AとECC-BLOCK-Bが交互に行われるようになされている。

【0017】復調器4BからSRAM10へのECCブロックの書き込みが終わると、ECCデコード部5Bは、このECCブロックに対して、エラーの検出と訂正を行うようになされている。この処理は、後述するように、主としてランダムエラーを訂正するための符号C1に基づく誤り訂正処理と、主としてバーストエラーを訂正するための符号C2に基づく誤り訂正処理をそれぞれ3回ずつ行うようになされている。

【0018】IDデコード部6Bは、所定のIDをデコードするようになされている。デスクランブル部7Bは、スクランブル処理が施されたデータに対してデスクランブル処理を施すようになされている。EDC(error-detecting code)デコード部8Bは、EDCデコード処理を施すようになされている。DRAM9Bは、EDCデコード部8Bからのデータを記憶し、所定のタイミングで外部に出力するようになされている。

【0019】一方、記録時、DRAM9Aは、外部から入力されたデータを記憶するようになされている。EDCエンコード部8Aは、DRAM9Aより供給されたデータに対してEDCを付加し、出力する。スクランブル部7Aは、EDCエンコード部より供給されたデータに対して、スクランブル処理を施すようになされている。IDエンコード部6Aは、スクランブル部7Aからのデータに所定のIDをエンコードしたものを付加し、SRAM10に供給するようになされている。

【0020】SRAM10は、上述したように、ECC-BLOCK-AとECC-BLOCK-Bの2つのECCブロックを記憶することができるようになされており、入力されたデータは、ECC-BLOCK-AまたはECC-BLOCK-Bとして交互に書き込まれるようになされている。従って、SRAM10は、ECC_BLOCK_Aを記憶する領域と、ECC_BLOCK_Bを記憶する領域に分割されていると考えることができる。

【0021】ECCエンコード部5A(パリティ付加手段)は、SRAM10にECCブロックが格納されると、すぐに、ECCエンコード処理を開始し、ECC(errorcorrecting code)をデータに付加するようになされている。記録時には、このECCエンコード部5AによるECCの付加は、符号C1、C2それぞれ1回ず

つ行われるようになされている。S R A M 1 0に記憶されたE C C ブロックは、変調器4 Aにより読み出され、変調処理が施された後、磁界変調ドライバ3に供給される。

【0022】磁界変調ドライバ3は、変調器3より供給される信号に従って、磁界を変調するようになされている。この間、光ピックアップ2からのレーザ光が光ディスク1に照射されることにより、磁界の変化に対応するデータを光ディスク1に記録することができる。

【0023】図1においては、再生時と記録時でS R A M 1 0を便宜上2つに分けて図示したが、実際には1つのS R A M 1 0で構成される。

【0024】次に、図2のタイミングチャートを参照して、再生時の処理手順について説明する。最初に、1 E C C ブロック分のデータが、光ピックアップ2により読み出され、復調器4 Bに供給される。復調器4 Bに供給されたデータは、そこで復調処理が施された後、1 E C C ブロック分のデータ毎にS R A M 1 0の例えばE C C _B L O C K _Aに書き込まれる。そのとき、既にE C C 処理が終了しているデータの外部への出力が並行して行われる。即ち、E C C 処理が終了したデータが順次外部に出力され、そのデータが記憶されていたアドレスに復調器4 Bからのデータが順次書き込まれる。

【0025】一方、E C C _B L O C K _Bにおいては、既に復調器4 BからE C C _B L O C K _Bに書き込まれた1 E C C ブロック分のデータに対するE C C 処理が行われる。従って、ある期間、E C C _B L O C K _Aへの書き込みと、E C C _B L O C K _Bから外部への出力と、E C C _B L O C K _Bに書き込まれたデータに対するE C C 処理が並行して時分割で実行される。

【0026】E C C _B L O C K _BにおけるE C C 処理が終了すると、外部へのデータの出力が開始される。また、E C C _B L O C K _Aへの1 E C C ブロック分のデータの書き込みが終了すると、直ちにE C C 処理が開始されるとともに、復調器4 BからE C C _B L O C K _Bへのデータの書き込みが開始される。

【0027】復調器4 Bから、S R A M 1 0への1 E C C ブロック分のデータの書き込みに要する時間は、1 E C C ブロック分のデータに対するE C C 処理に要する時間より長いので、例えば、E C C _B L O C K _Aから外部へのデータの出力が開始される時間は、復調器4 BからE C C _B L O C K _Aにデータの書き込みが開始される時間より所定の時間T 1だけ早くなる。同様に、E C C _B L O C K _Bから外部へのデータの出力が開始される時間は、復調器4 BからE C C _B L O C K _Bにデータの書き込みが開始される時間より所定の時間T 1だけ早くなる。

【0028】このように、S R A M 1 0から外部へのデ

ータの出力が、復調器4 BからS R A M 1 0へのデータの書き込みより所定の時間だけ早く行われることにより、復調器4 BからS R A M 1 0へのデータの書き込みの開始時間が早くなる方向にずれたような場合でも、S R A M 1 0から外部への出力が終了していないデータに復調器4 Bからの新たなデータが上書きされてしまうことがないようにすることができる。

【0029】次に、図3のタイミングチャートを参照して、記録時の処理手順について説明する。例えば、S R A M 1 0のE C C _B L O C K _Aから変調器4 Aへの1 E C C ブロック分のデータの出力が開始されたとき、S R A M 1 0のE C C _B L O C K _Bにおいては、丁度、1 E C C ブロック分のデータの書き込みが終了し、E C C 処理が開始される。そして、所定の時間T 2だけ遅れて、外部からE C C _B L O C K _Aへのデータの書き込みが開始される。

【0030】E C C _B L O C K _Aから変調器4 Aへのデータの出力、および外部からE C C _B L O C K _Aへのデータの書き込みが終了すると、C 2およびC 1 20 パリティを付加するE C C 処理が開始されるとともに、E C C _B L O C K _Bにおいては、E C C 処理が施されたデータの変調器4 Aへの出力が開始される。そして、所定の時間T 2だけ遅れて、外部からE C C _B L O C K _Bへのデータの書き込みが開始される。このとき、すでに変調器4 Aへのデータの出力が終了したアドレスから順に書き込みが行われる。

【0031】このように、S R A M 1 0へのデータの書き込みを、S R A M 1 0から変調器4 Aへのデータの出力より所定の時間だけ遅らせることにより、S R A M 1 0から外部へのデータの出力が遅れたような場合でも、外部からS R A M 1 0にデータが書き込まれたためにまだ出されていないデータが新たなデータで書き換えられることがないようにすることができる。

【0032】図2および図3において、変調器4 Aおよび復調器4 Bにおける処理は、1ビットずつシリアルに行われるが、S R A M 1 0に対するデータの読み込みおよび書き込みは8ビットずつ行われる。従って、S R A M 1 0との間のデータの転送は、バースト的になる。そこで、データ転送を行っていない空きの時間に、E C C エンコード部5 AまたはE C C デコード部5 B（以下、E C C エンコード部5 AとE C C デコード部5 BをまとめてE C C コア5と呼ぶことにする）との間のデータのやりとり、およびI D エンコード部6 AまたはI D デコード部6 B（以下、外I D エンコード部6 AおよびI D デコード部6 Bをまとめて外部入出力インターフェース6と呼ぶことにする）との間のデータのやりとりが行われる。

【0033】図4は、E C C コア5、変調器4 Aおよび復調器4 B（以下、変調器4 Aと復調器4 Bをまとめて変復調器4という）、および外部入出力インターフェース

6と、S R A M 1 0との間でデータのやりとりを行うとき、S R A M 1 0に対して供給するアドレスを発生するアドレス発生回路2 1の構成例を示している。

【0034】E C Cデータ読み出しアドレスジェネレータ2 2(アドレス発生手段)は、図示せぬコントロール回路より供給されるコントロール信号に基づいて、E C Cコア5が、E C C処理においてS R A M 1 0に記憶されているデータを読み出すときに用いるアドレスを発生するようになされている。E C Cデータ書き込みアドレスジェネレータ2 3(アドレス発生手段)は、コントロール信号に基づいて、E C Cコア5が、E C C処理においてS R A M 1 0にデータを書き込むときに用いるアドレスを発生するようになされている。

【0035】変復調データ用アドレスジェネレータ2 4(アドレス発生手段)は、コントロール信号に基づいて、変復調器4がS R A M 1 0に対してデータの読み出しありまたは書き込みを行うとき用いるアドレスを発生するようになされている。外部入出力データ用アドレスジェネレータ2 5(アドレス発生手段)は、コントロール信号に基づいて、外部入出力インターフェース6が、S R A M 1 0に対してデータの読み出しありまたは書き込みを行うとき用いるアドレスを発生するようになされている。

【0036】セレクタ2 6(アドレス供給手段)は、E C Cデータ読み出しアドレスジェネレータ2 2、E C Cデータ書き込みアドレスジェネレータ2 3、変復調データ用アドレスジェネレータ2 4、および外部入出力データ用アドレスジェネレータ2 5からのアドレス信号を入力し、そのいずれかを選択的にS R A M 1 0のA D R端子にアドレスバス3 0を介して供給するようになされている。

【0037】E C Cコア5は、E C C処理を行うとき、S R A M 1 0に対するデータの読み出しありおよび書き込みを頻繁に行うため、データ入力端子とデータ出力端子を備え、バッファ回路2 7を介して、S R A M 1 0との間でデータのやりとりを行うようになされている。バッファ2 7は、コントロール回路より供給されるコントロール信号に基づいて、E C Cコア5から出力されたデータがデータバス3 1に送出され、S R A M 1 0に供給されるか、またはS R A M 1 0より読み出されたデータがE C Cコア5に供給されるよう動作するようになされている。

【0038】変復調器4は1 E C Cブロック分のデータのS R A M 1 0に対する読み出し、または書き込みが行われる間、読み出しありまたは書き込み動作のいずれか一方のみが行われるため、1つの入出力端子を備え、バッファ2 8は、コントロール回路より供給されるコントロール信号に基づいて、変復調器4からS R A M 1 0にデータが転送されるか、またはS R A M 1 0から変復調器4にデータが転送されるよう動作するようになされている。

【0039】同様に、外部入出力インターフェース6は、1 E C Cブロック分のデータのS R A M 1 0に対する読み出し、または書き込みが行われる間、読み出しありまたは書き込み動作のいずれか一方のみが行われるため、1つの入出力端子を備え、バッファ2 9は、コントロール回路より供給されるコントロール信号に基づいて、外部入出力インターフェース6からS R A M 1 0にデータが転送されるか、またはS R A M 1 0から外部入出力インターフェース6にデータが転送されるよう動作するようになされている。

【0040】また、S R A M 1 0には、A D R端子の他、コントロール回路からのコントロール信号としてのライトイネーブル信号およびアウトイネーブル信号を入力する端子、およびデータバス3 1を介して8ビット単位でデータを入出力するためのD A T端子を備えている。

【0041】図5は、図4に示したアドレス生成回路2 1が生成するアドレス信号に従って、S R A M 1 0に対してデータの読み出しありおよび書き込みが行われるときの20タイミングチャートを表している。クロック信号R E F C Kとx R E F C Kは、丁度位相が180度だけずれるように調整されている。ライトイネーブル信号X W Eは、x R E F C KのHレベルへの変化に3クロック毎に同期してLレベルに変化し、次のR E F C KのHレベルへの変化によってHレベルに戻る。X W EがLレベルの間、S R A M 1 0のD A T端子から8ビットのデータがS R A M 1 0に書き込まれる。

【0042】アウトイネーブル信号X O Eは、R E F C KのLレベルからHレベルへの変化に3クロック毎に同期してLレベルに変化し、次のx R E F C KのHレベルへの変化によってHレベルに戻る。X O EがLレベルの間、S R A M 1 0のD A T端子から8ビットのデータが読み出される。アドレス生成回路2 1によって生成されたアドレス信号A D D R E S Sは、3/2クロック毎にセレクタ2 6によって切り換えられる。

【0043】このように、3クロック単位でS R A M 1 0に対する1バイトのデータの入出力を行うことができる。これは、考え得る最も少ないクロック数での入出力であり、クロック周波数を上げることなく、必要な処理を行うことができる。また、E C C処理はバイト毎の処理であり、繰り返し処理を行う回数を多くすることにより、訂正能力を上げることができる。この場合、C 1パリティ、C 2パリティともに、3回ずつ繰り返し訂正処理を行うようしている。

【0044】図6は、S R A M 1 0に記憶される1 E C Cブロック分のデータのデータマップを表している。同図に示すように、1つのE C Cブロックのアドレスは0乃至15の16ビットで表され、横方向にビット0乃至ビット7をとり、縦方向にビット8乃至ビット15をとるようしている。データが記録されるアドレスは、ビ

11

ット0乃至ビット7で表される下位アドレスが0乃至5A（以下、16進数で表す）および80乃至D0であり、かつ、ビット8乃至ビット15で表される上位アドレスが、0乃至B、10乃至1B、20乃至2B、30乃至3B、40乃至4B、50乃至5B、60乃至6B、70乃至7B、80乃至8B、90乃至9B、A0乃至AB、B0乃至BB、C0乃至CB、D0乃至DB、E0乃至EB、およびF0乃至FBである。

【0045】C2パリティが記録されるアドレスは、下位アドレスがデータの場合と同様に、0乃至5Aおよび80乃至D0であり、上位アドレスがC、1C、2C、3C、4C、5C、6C、7C、8C、9C、AC、B、CC、DC、EC、およびFCである。また、C1パリティが記録されるアドレスは、下位アドレスがD1乃至DAであり、かつ、上位アドレスが、0乃至C、10乃至1C、20乃至2C、30乃至3C、40乃至4C、50乃至5C、60乃至6C、70乃至7C、80乃至8C、90乃至9C、A0乃至AC、B0乃至BC、C0乃至CC、D0乃至DC、E0乃至EC、およびF0乃至FCである。その他のアドレスは未アクセス領域であり、データおよびパリティデータは記録されない。

【0046】SRAM10のアドレスは17ビットで表され、MSBであるビット16が0および1のそれぞれについて、図6に示したようなデータマップが対応する。即ち、SRAM10は、2つのECCブロックを記憶することができる。

【0047】変復調時のデータのスキャンニングは、横方向に、また上から下に順に行われる。これは、同図からわかるように、ECCブロック内のC2パリティが分散してアクセスされることを意味している。即ち、横方向に並んだデータを1フレームとすると、12フレーム分のデータをアクセスする毎に、1フレーム分のC2パリティにアクセスし、1ECCブロックにおいては、トータルで192フレーム分のデータ、16フレーム分のC2パリティをアクセスすることになる。

【0048】これによって、バーストエラーにより、数フレーム分のデータが消失した場合でも、複数フレームのC2パリティが消失してしまうことをほとんどなくすことができる。ただし、ECCコア5がC2パリティをエンコードするとき、C2パリティを記憶させる領域に最後にまとめてアクセスし、エンコードしたC2パリティを1列単位で書き込むようにする必要がある。

【0049】このように、2つのECCブロックを記憶するSRAM10を1つにすることにより、アドレスバス、データバスを減らすことができ、回路規模を縮小することができる。また、変復調器4の処理がシリアルで行われる一方、SRAM10へのアクセスが8ビット単位であることから生じる時間的な余裕を、ECC処理、および外部入出力のために有効利用することができ、マ

12

スタクロックのレートを上げることなく、必要な処理を行うようにすることができる。

【0050】なお、上記実施の形態においては、ミニディスクに適用した場合について説明したが、本発明はこれに限定されるものではなく、DVD (Digital Versatile Disc) やその他の記録媒体および記録再生装置に適用することが可能である。

【0051】

【発明の効果】請求項1に記載のデータアクセス制御装置によれば、記憶手段は、アドレス供給手段より時分割で供給されるアドレスに対して、データの読み出しおよび書き込みを行い、アドレス発生手段は、複数種類の処理の所定のものによる記憶手段の所定のアドレスからのデータの読み出しが、複数種類の処理の他の所定のものによる記憶手段のアドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生するようにしたので、時間的なずれを生じる処理があっても、複数種類の処理による記憶手段へのアクセスを並行して行うことができる。従って、1つの記憶手段を用いて複数の処理を行うことができ、回路規模を縮小することができる。

【0052】請求項6に記載のデータアクセス制御装置によれば、第1の発生手段が、第1のクロック信号を発生し、第2の発生手段が、第1のクロック信号に対して位相の異なる第2のクロック信号を発生し、アドレス発生手段およびアドレス供給手段は、第1のクロック信号および第2のクロック信号に従って動作し、記憶手段に対して、第1のクロック信号および第2のクロック信号の立ち上がりを基準として、データの入出力が行われるようにしたので、複数の処理を時分割で効率的に行うことができる。

【0053】請求項7に記載のデータアクセス制御装置によれば、記憶手段は、アドレス供給手段より時分割で供給されるアドレスに対して、データの読み出しおよび書き込みを行い、パリティ付加手段は、C2パリティを記憶手段上でのアドレスが分散するように配置し、アドレス発生手段は、C1パリティおよびC2パリティをデータに付加するECCエンコード処理が行われる場合と、データを変調する変調処理若しくはデータを復調する復調処理が行われる場合において、異なるアドレスを発生するようにしたので、複数フレームのC2パリティが同時に欠落することを抑制することが可能となり、誤り訂正能力を向上させることができる。

【0054】請求項9に記載のデータアクセス制御方法によれば、複数種類の処理の所定のものによる記憶装置の所定のアドレスからのデータの読み出しが、複数種類の処理の他の所定のものによる記憶装置のアドレスへの他のデータの書き込みより所定の時間だけ早く行われるように、複数種類のアドレスを発生し、複数種類のアドレスを記憶装置に対して時分割で供給するようにしたの

で、時間的なずれを生じる処理があつても、複数種類の処理による記憶手段へのアクセスを並行して行うことができる。従つて、1つの記憶手段を用いて複数の処理を行なうことができ、回路規模を縮小することが可能となる。

【図面の簡単な説明】

【図1】本発明のデータアクセス制御装置を適用したミニディスク記録再生装置の一実施の形態の構成例を示すブロック図である。

【図2】データの再生時における各部の動作のタイミングチャートである。

【図3】データの記録時における各部の動作のタイミングチャートである。

【図4】アドレス生成回路の構成例を示すブロック図である。

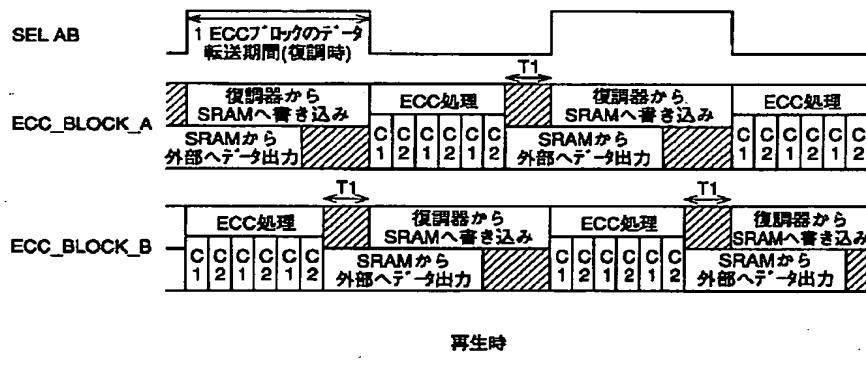
【図5】SRAM10にアクセスするときの各動作のタイミングチャートである。

【図6】SRAM10に記憶されたECCブロックのデータマップを示す図である。

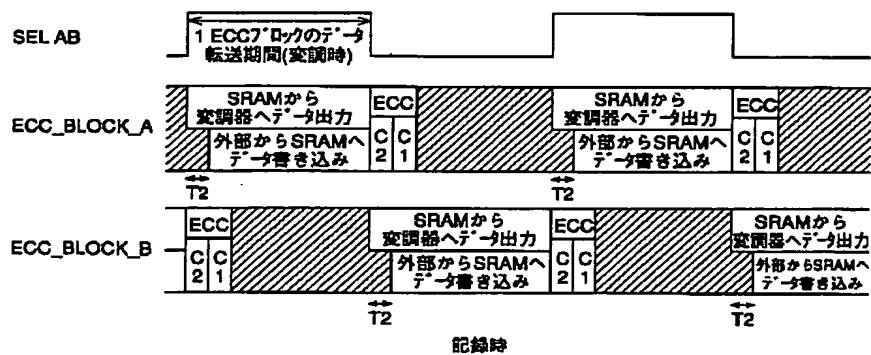
【符号の説明】

1 光ディスク, 2 光ピックアップ, 3 磁界変調ドライバ, 4 変復調器, 5 ECCコア(パリティ付加手段), 6 外部入出力インターフェース, 10 SRA M, 21 アドレス生成回路, 22 ECCデータ読み出しアドレスジェネレータ(アドレス発生手段), 23 ECCデータ書き込みアドレスジェネレータ(アドレス発生手段), 24 変復調データ用アドレスジェネレータ(アドレス発生手段), 25 外部入出力データ用アドレスジェネレータ(アドレス発生手段), 26 セレクタ(アドレス供給手段), 27 乃至 29 バッファ

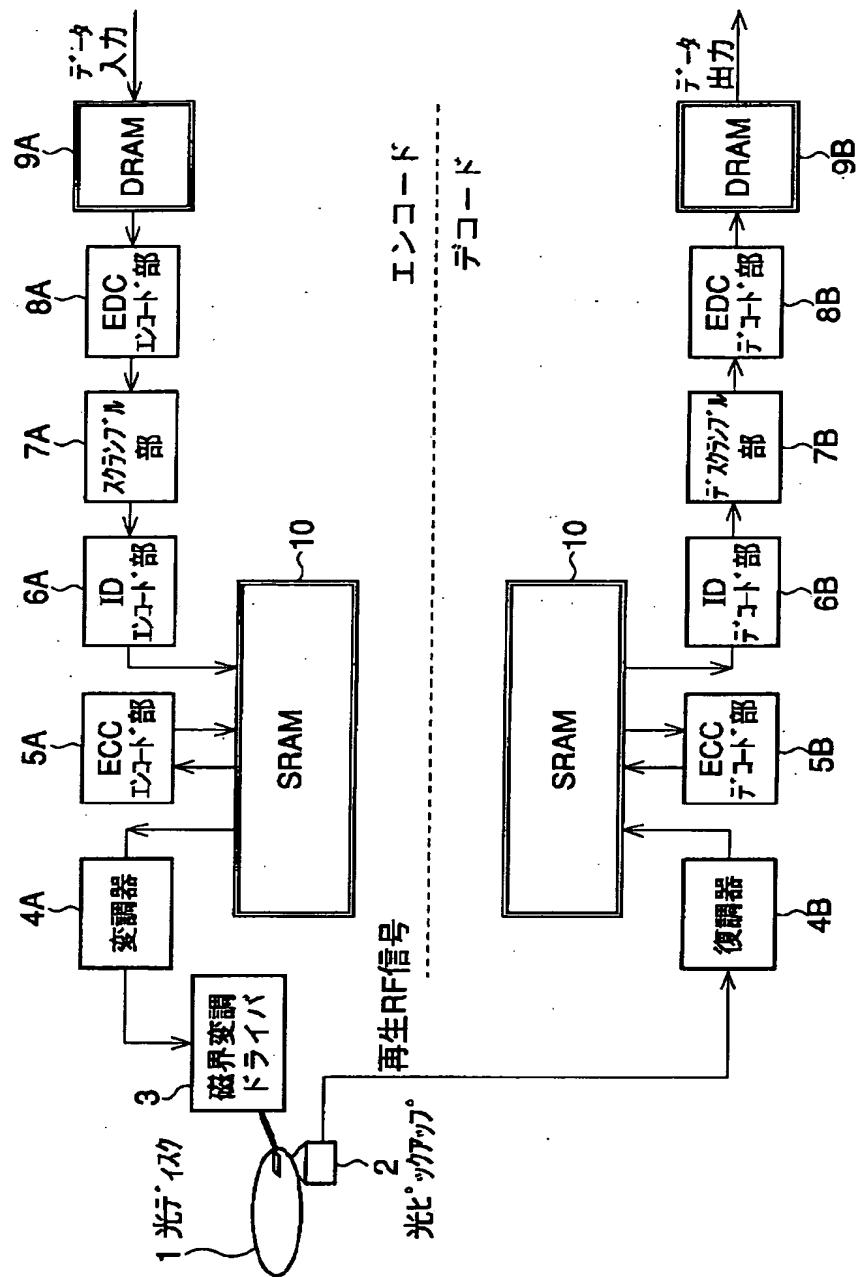
【図2】



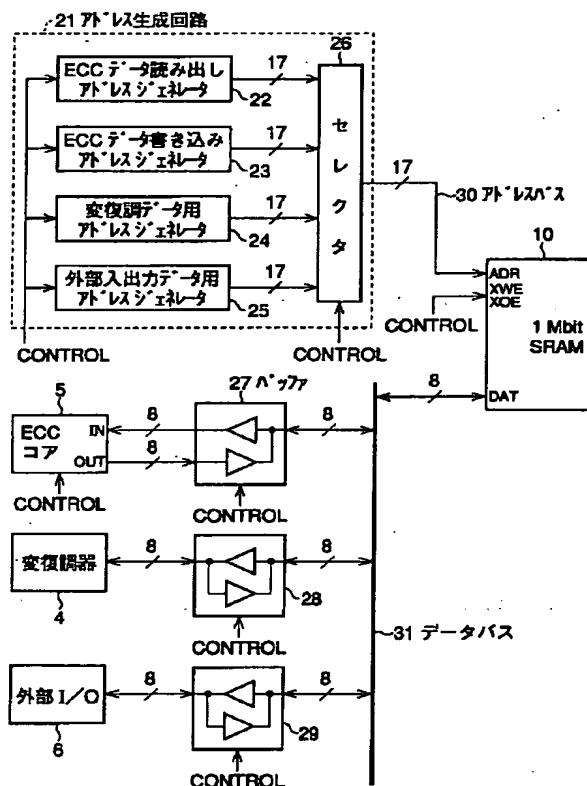
【図3】



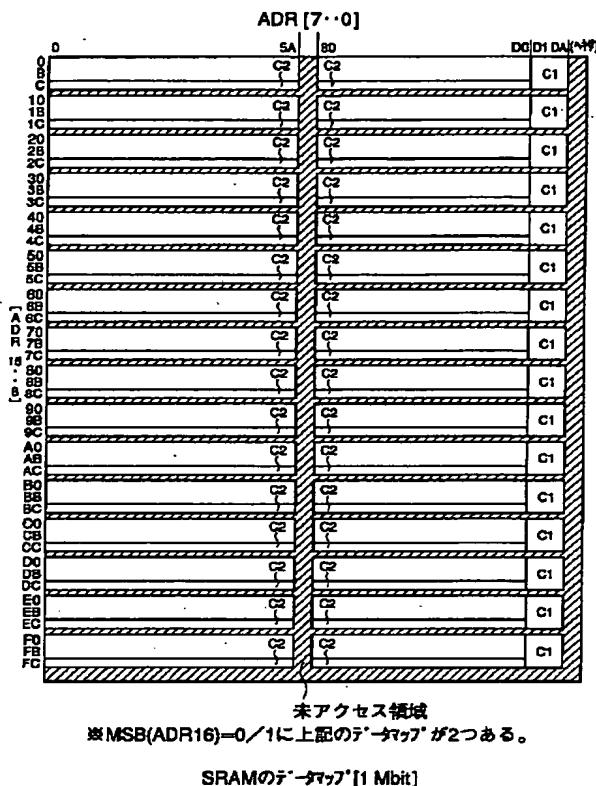
【図1】



【図4】



【図6】



【図5】

